



⑪ Numéro de publication : **0 564 377 A1**

⑫ **DEMANDE DE BREVET EUROPEEN**

⑲ Numéro de dépôt : **93420134.4**

⑤① Int. Cl.<sup>5</sup> : **H03L 7/089, H03L 7/099**

⑳ Date de dépôt : **25.03.93**

③① Priorité : **31.03.92 FR 9204261**

⑦② Inventeur : **Debaty, Pascal**  
**Le Beaulieu, Bat. E14**  
**F-38420 Domene (FR)**

④③ Date de publication de la demande :  
**06.10.93 Bulletin 93/40**

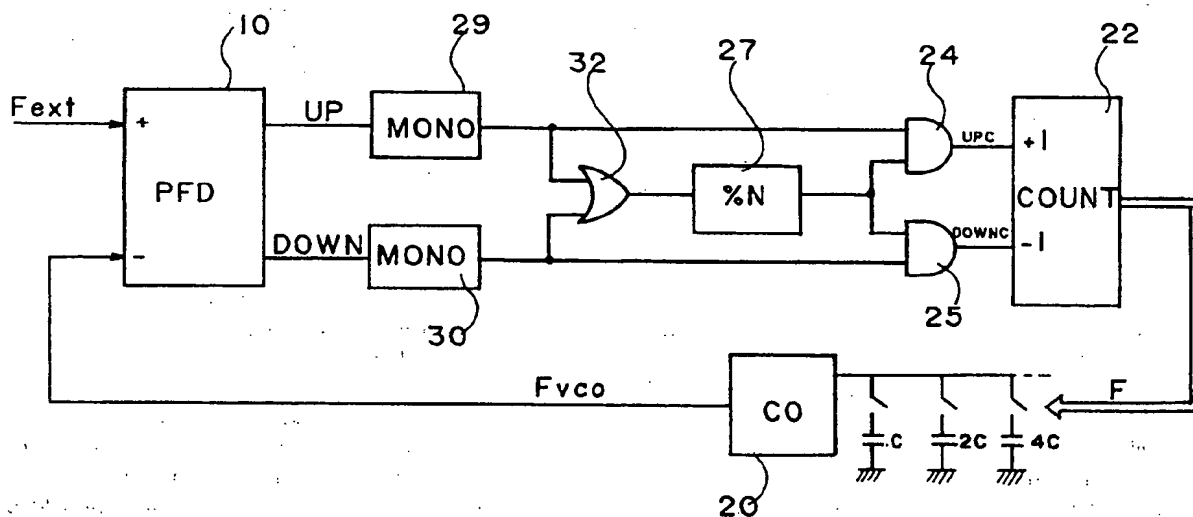
⑦④ Mandataire : **de Beaumont, Michel**  
**1bis, rue Champollion**  
**F-38000 Grenoble (FR)**

⑧④ Etats contractants désignés :  
**DE FR GB IT**

⑦① Demandeur : **SGS-THOMSON**  
**MICROELECTRONICS S.A.**  
**7, Avenue Galliéni**  
**F-94250 Gentilly (FR)**

⑤④ **Boucle à verrouillage de fréquence.**

⑤⑦ La présente invention concerne une boucle à verrouillage de fréquence comprenant : un comparateur de phase (10) recevant en entrée des premier (F<sub>ext</sub>) et deuxième (F<sub>vco</sub>) signaux périodiques et délivrant, au moins à chaque période du premier ou deuxième signal, un signal d'erreur de phase (UP, DOWN) représentatif de la différence de phase entre les signaux d'entrée ; et un oscillateur (20) délivrant le deuxième signal et commandé par un circuit de traitement du signal d'erreur de phase. Selon l'invention, la boucle comprend un circuit d'échantillonnage disposé entre le comparateur et le circuit de traitement pour fournir au circuit de traitement le signal d'erreur de phase seulement à chaque N<sup>ème</sup> période (N>1) du premier ou deuxième signal.



**Fig 5**

EP 0 564 377 A1

La présente invention concerne les boucles à verrouillage de phase et plus particulièrement celles comprenant un comparateur de phase à deux entrées et deux sorties, la première sortie fournissant un signal quand la première entrée est en avance sur la seconde et la deuxième sortie fournissant un signal quand la deuxième entrée est en avance sur la première.

La figure 1 représente un schéma simplifié d'un exemple de boucle à verrouillage de phase classique dit à "pompe de charge".

Un comparateur de phase (PFD) 10 reçoit sur une première entrée un signal logique Fext et sur une deuxième entrée un signal logique Fvco fourni par un oscillateur commandé en tension (VCO) 12. Ce comparateur est généralement sensible aux fronts descendants des signaux Fext et Fvco. Une pompe de charge comprend deux sources de courant 14, 15 de même valeur I, destinées à charger ou décharger des capacités faisant éventuellement partie d'un filtre 17. Les sources 14 et 15 sont disposées en série entre un potentiel haut Vcc et un potentiel bas Vss et sont respectivement pilotées par une sortie UP et une sortie DOWN du comparateur de phase 10. Le point de connexion entre les sources 14 et 15 est relié à l'entrée de commande de l'oscillateur 12 et au filtre 17 qui est relié à un potentiel de référence G, tel que la masse. Le filtre 17 comprend généralement une capacité d'intégration C1 disposée en série avec une cellule de correction comprenant une résistance R et une capacité C2 reliées en parallèle.

La sortie UP du comparateur de phase 10 délivre des impulsions (impulsions UP) de durée égale à l'avance de phase du signal Fext par rapport au signal Fvco. La sortie DOWN délivre des impulsions (impulsions DOWN) de durée égale au retard de phase du signal Fext par rapport au signal Fvco. Ainsi, les capacités du filtre 17, notamment la capacité C1 qui est de grande valeur par rapport à la capacité C2, sont progressivement chargées ou déchargées selon la relation de phase entre les signaux Fext et Fvco. La tension Vc aux bornes du filtre 17, qui varie en fonction de cette relation de phase, corrige la fréquence de l'oscillateur 12 dans le but de rattraper l'erreur de phase du signal Fvco. La cellule de correction R, C2 sert, lors de chaque front montant d'une impulsion UP ou DOWN, à fournir un pic de tension pour brièvement sur-corriger l'oscillateur 12.

La figure 2 représente des signaux Fext, Fvco, UP et DOWN correspondant à un exemple de situation. Pour simplifier la compréhension des figures, les signaux Fext et Fvco ont été représentés sous la forme d'impulsions de durée pratiquement nulle. Le signal Fext est représenté à une fréquence constante. Chaque impulsion du signal Fext est notée  $E_n$  et l'impulsion correspondante du signal Fvco est noté  $V_n$ , l'indice n étant un entier représentant le rang de l'impulsion.

A un instant  $t_0$ , une impulsion  $V_0$  du signal Fvco arrive avant l'impulsion correspondante  $E_0$  du signal Fext. Le comparateur 10 détecte alors une avance de phase du signal Fvco par rapport au signal Fext et fournit une impulsion DOWN active de l'impulsion  $V_0$  jusqu'à l'impulsion  $E_0$ , ce qui entraîne une diminution de la fréquence du signal Fvco. L'impulsion suivante  $V_1$  est toujours en avance par rapport à l'impulsion  $E_1$  et il survient une nouvelle impulsion DOWN entraînant une nouvelle diminution de la fréquence du signal Fvco... Cette première phase de fourniture d'impulsions DOWN se poursuit jusqu'à ce que l'on arrive sensiblement à une coïncidence de phase entre des impulsions  $E_{L-1}$  et  $V_{L-1}$  à un instant  $t_1$ .

Ensuite commence une deuxième phase de fourniture d'impulsions UP. A partir des impulsions  $E_1$  et  $V_1$ , on se trouve dans une situation où le signal Fvco est en retard de phase par rapport au signal Fext. La boucle à verrouillage de phase tend à compenser ce retard de phase en augmentant la fréquence du signal Fvco par des impulsions UP... jusqu'à ce que le signal Fvco soit de nouveau en avance de phase par rapport au signal Fext.

Les deux phases précédentes se produisent de façon alternée jusqu'à ce que les signaux Fext et Fvco soient synchronisés. En attendant la synchronisation, la fréquence du signal Fvco oscille autour de celle du signal Fext.

La figure 3A représente l'allure de la variation de fréquence du signal Fvco dans le cas d'un glissement de phase du signal Fext alors que les signaux Fext et Fvco sont initialement synchronisés. Cette situation correspond par exemple à celle de la figure 2 et elle peut être due à une impulsion manquante du signal Fext, désignée  $E_{00}$  à la figure 2. Dans le cas d'une impulsion E manquante, la boucle à verrouillage de phase interprète la situation comme si le signal Fvco se trouvait en avance de phase d'une période.

A l'instant  $t_0$  survient le glissement de phase du signal Fext. A partir de l'instant  $t_0$ , la fréquence du signal Fvco se met à osciller autour de la fréquence du signal Fext et tend lentement vers celle-ci. Les instants  $t_0$  et  $t_1$  correspondent à ceux de la figure 2.

La figure 3B illustre l'allure de la fréquence du signal Fvco lorsque la fréquence du signal Fext glisse à un instant  $t_0$  vers une valeur supérieure. A partir de l'instant  $t_0$ , la fréquence du signal Fvco croît, dépasse la nouvelle fréquence du signal Fext, oscille autour de la nouvelle fréquence et tend lentement vers la nouvelle fréquence.

Si dans la figure 3B l'instant  $t_0$  correspond à un démarrage de la boucle, on peut se trouver dans la situation de la figure 2, c'est-à-dire que le signal Fvco est en avance de phase par rapport au signal Fext mais est à une fréquence inférieure. Alors, comme cela est représenté en pointillés, la fréquence du signal Fvco commence même par décroître, c'est-à-dire varie dans le sens opposé du sens souhaité.

On constate que la boucle à verrouillage de phase tend rapidement à rattraper l'erreur de phase entre les signaux Fext et Fvco par une modification de la fréquence du signal Fvco à chaque impulsion, ce qui a pour inconvénient d'entraîner une oscillation de la fréquence du signal Fvco. Cette oscillation dure d'autant plus longtemps et est d'amplitude d'autant plus grande que l'erreur de phase initiale est importante. Un glissement de phase ou une impulsion manquante perturbe notablement la boucle, même si les signaux Fext et Fvco sont synchronisés.

Il se peut parfois que la fréquence du signal Fvco ne converge même pas vers celle du signal Fext lors d'une perturbation particulière ou si certains composants sont mal choisis. Les composants du filtre 17 doivent être soigneusement choisis pour réaliser un compromis entre la stabilité et la rapidité de synchronisation.

Un autre inconvénient des boucles à verrouillage du type de la figure 1 est que les capacités, notamment la capacité C<sub>1</sub>, et la résistance R du filtre 17 sont généralement de grandes valeurs et doivent être prévues à l'extérieur d'un circuit intégré comprenant les autres éléments de la boucle à verrouillage de phase.

Un objet de la présente invention est de prévoir une boucle à verrouillage de fréquence peu sensible à une perturbation de phase.

Un autre objet de la présente invention est de prévoir une telle boucle à verrouillage de fréquence qui converge de façon monotone en fréquence.

Un autre objet de la présente invention est de prévoir une telle boucle à verrouillage de fréquence qui ne nécessite aucun réglage.

Un autre objet de la présente invention est de prévoir une telle boucle à verrouillage de fréquence qui soit en outre entièrement intégrable.

Ces objets sont atteints grâce à un circuit utilisant un comparateur de phase du type susmentionné mais dont l'indication d'erreur de phase est échantillonnée avant de modifier la fréquence d'un oscillateur commandé. La période d'échantillonnage est choisie de manière que chaque échantillon indique non seulement une relation de phase entre les signaux d'entrée du comparateur de phase, mais aussi de façon sûre dans quel sens doit varier la fréquence de l'oscillateur pour tendre rapidement vers une synchronisation en fréquence des signaux d'entrée.

La présente invention vise plus particulièrement une boucle à verrouillage de fréquence comprenant : un comparateur de phase recevant en entrée des premier et deuxième signaux périodiques et délivrant, au moins à chaque période du premier ou deuxième signal, un signal d'erreur de phase représentatif de la différence de phase entre les signaux d'entrée ; et un oscillateur délivrant le deuxième signal et commandé par un circuit de traitement du signal d'erreur de phase. Selon l'invention, la boucle comprend un circuit d'échantillonnage disposé entre le comparateur et le

circuit de traitement pour fournir au circuit de traitement le signal d'erreur de phase seulement à chaque N<sup>ème</sup> période (N>1) du premier ou deuxième signal.

Selon un mode de réalisation de la présente invention, la fréquence de l'oscillateur est variable par pas fréquentiels et le nombre N est choisi supérieur au rapport entre la fréquence nominale du premier signal et un pas fréquentiel.

Selon un mode de réalisation de la présente invention, le comparateur de phase comprend une première sortie délivrant des impulsions si le premier signal est en avance de phase par rapport au deuxième et une deuxième sortie délivrant des impulsions dans le cas inverse et le circuit d'échantillonnage fournit au circuit de traitement chaque N<sup>ème</sup> desdites impulsions.

Selon un mode de réalisation de la présente invention, le circuit de traitement comprend un compteur dont l'état fixe la fréquence de l'oscillateur et possédant une entrée d'incrémementation et une entrée de décrémementation, et le circuit d'échantillonnage comprend des moyens pour transmettre chaque dite N<sup>ème</sup> impulsion, soit vers l'entrée d'incrémementation si cette impulsion survient sur l'une des première et deuxième sorties du comparateur, soit vers l'entrée de décrémementation si cette impulsion survient sur l'autre des première et deuxième sorties.

Selon un mode de réalisation de la présente invention, la boucle comprend un diviseur par N recevant en entrée lesdites impulsions et commandant par sa sortie deux portes logiques dont les sorties sont respectivement reliées aux entrées d'incrémementation et de décrémementation du compteur et recevant respectivement les impulsions de l'une et l'autre des première et deuxième sorties du comparateur.

Selon un mode de réalisation de la présente invention, lesdites portes sont reliées au comparateur de phase par l'intermédiaire de bascules monostables.

Selon un mode de réalisation de la présente invention, le diviseur est un diviseur par un nombre N programmable.

Selon un mode de réalisation de la présente invention, l'oscillateur est un oscillateur à réseau de capacités dont chacune est mise hors ou en circuit par l'état d'un bit du compteur.

Ces objets, caractéristiques, et avantages ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, illustre une boucle à verrouillage de phase à pompe de charge classique ;

la figure 2 illustre des allures de signaux en divers points du circuit de la figure 1 ;

les figures 3A et 3B représentent les allures des réponses du circuit de la figure 1 à diverses per-

turbations ;

la figure 4 illustre des allures de signaux dans une situation où on n'agit pas sur ces signaux ;

la figure 5 illustre un mode de réalisation de boucle à verrouillage de fréquence selon la présente invention ; et

la figure 6 représente l'allure de la réponse du circuit de la figure 5 à un échelon de fréquence.

La présente invention se base sur la constatation du fait que, dans une boucle à verrouillage de phase classique, il n'existe à un instant donné, pour les deux signaux à synchroniser, aucune corrélation entre une erreur de phase et une erreur de fréquence, comme le montre la figure 2 à l'instant  $t_0$ . Par contre, la demanderesse a noté que, si on observe les signaux à synchroniser pendant un intervalle de temps suffisamment long, à la fin de cet intervalle, l'erreur de phase entre ces signaux indique effectivement une erreur de fréquence, comme le montre la figure 4 ci-après à partir d'un instant  $t_1$ . La présente invention a pour but d'échantillonner l'erreur de phase à des instants où celle-ci indique une erreur de fréquence pour alors corriger cette erreur de fréquence.

Dans la figure 4, on examine les signaux de sortie d'un comparateur de phase du type de celui de la figure 1 dans une situation particulière où l'on n'agit pas sur le signal Fvco. Les mêmes notations que dans la figure 2 sont utilisées. Le signal Fext est représenté à une fréquence constante et le signal Fvco est représenté à une fréquence constante inférieure.

A un instant  $t_0$  une impulsion  $V_0$  du signal Fvco survient avant l'impulsion correspondante  $E_0$  du signal Fext. La fréquence du signal Fvco étant constante et inférieure à celle du signal Fext, cette avance de phase du signal Fvco est progressivement rattrapée, comme le montrent les impulsions DOWN de largeurs décroissantes. A un instant  $t_1$ , on arrive à une situation où le signal Fvco est en retard de phase. Alors, le retard de phase croît progressivement, comme le montrent les impulsions UP de largeurs croissantes. En principe, les largeurs des impulsions UP croîtraient vers l'infini.

En pratique, on arrive à une situation représentée autour d'un instant  $t_2$ . Juste avant l'instant  $t_2$ , une impulsion  $E_8$  arrive avant une impulsion correspondante  $V_8$ . Une impulsion UP survient normalement entre les impulsions  $E_8$  et  $V_8$ . Or, l'instant  $t_2$  où survient l'impulsion  $V_8$  est ultérieur à l'instant où survient l'impulsion  $E_8$ , c'est-à-dire qu'à l'instant  $t_2$  le signal Fvco est en retard de phase par rapport au signal Fext de plus de  $360^\circ$ .

Un comparateur de phase du type de celui de la figure 1 est tel que, lorsque l'une de ses sorties a été rendue active par une impulsion sur l'une quelconque de ses entrées, le comparateur est insensible à toute autre impulsion sur cette entrée tant qu'une impulsion sur son autre entrée ne désactive pas la sortie du comparateur. Ainsi, dans la figure 4, l'impulsion  $E_9$  du

signal Fext est ignorée et c'est l'impulsion suivante  $E_9$  qui est " considérée " comme l'impulsion  $E_8$ . Comme cela est représenté par une impulsion UP courte correspondant aux impulsions  $E_8$  et  $V_8$ , le fait d'ignorer une impulsion du signal Fext est interprété comme une réduction de l'erreur de phase, cette erreur de phase gardant le même signe.

Ainsi, si l'on n'agit pas sur la fréquence du signal Fvco, quelles que soient les conditions initiales, le comparateur de phase fournira, au bout d'un certain temps (à partir de  $t_1$  à la figure 4), des impulsions toujours indicatives du signe de la relation de fréquence entre les signaux Fext et Fvco.

La figure 5 représente un mode de réalisation entièrement intégrable d'une boucle à verrouillage de fréquence selon l'invention. On retrouve le comparateur de phase 10 de la figure 1 recevant en entrée un signal externe Fext et un signal Fvco provenant d'un oscillateur commandé 20 et délivrant des impulsions UP ou DOWN en fonction de la relation de phase entre les signaux Fext et Fvco. Selon l'invention, la fréquence de l'oscillateur 20 est déterminée par une consigne F qui n'est modifiée que toutes les N impulsions UP ou DOWN.

Dans le mode de réalisation de la figure 5, l'oscillateur 20 est un oscillateur classique oscillant autour d'une valeur de repos qui peut être modifiée par un réseau de capacités de correction (C, 2C, 4C...). La consigne F est ici numérique et chacun de ses bits met en ou hors circuit une capacité respective du réseau. Pour réaliser une variation de fréquence de repos proportionnelle à la consigne F, chacune des capacités du réseau a une valeur double de la précédente. Ces capacités n'étant que des capacités de correction, leurs valeurs sont faibles et elles sont généralement intégrables.

La consigne numérique F est fournie par un compteur 22 dont une entrée d'incrémentement est reliée à la sortie UPC d'une première porte ET 24 et dont une entrée de décrémentement est reliée à la sortie DOWNC d'une deuxième porte ET 25. La sortie d'un diviseur par N 27 est reliée à une première entrée de chacune des portes 24 et 25. La deuxième entrée de la porte 24 est reliée à la sortie UP du comparateur 10 par l'intermédiaire d'une bascule monostable 29. La deuxième entrée de la porte 25 est reliée à la sortie DOWN du comparateur 10 par l'intermédiaire d'une bascule monostable 30. Les signaux de sortie des bascules 29 et 30 sont combinés dans une porte OU 32 avant d'être fournis à l'entrée du diviseur 27.

Avec cette configuration, le diviseur 27 reçoit un signal chaque fois qu'une impulsion est fournie par le comparateur 10, que ce soit une impulsion UP ou une impulsion DOWN, et génère une impulsion à sa sortie à chaque  $N^{\text{ème}}$  impulsion. Ainsi, à chaque  $N^{\text{ème}}$  impulsion, les portes 24 et 25 sont passantes. Cette  $N^{\text{ème}}$  impulsion est donc transmise par la porte 24 sur l'entrée d'incrémentement du compteur 22 s'il s'agit d'une

impulsion UP ou par la porte 25 sur l'entrée de décrémentation s'il s'agit d'une impulsion DOWN. Une incrémentation du compteur 22 provoquera une augmentation de la fréquence de l'oscillateur 20 d'un pas fréquentiel et une décrémentation du compteur 22 provoquera la diminution de la fréquence de l'oscillateur 20 d'un pas fréquentiel. Le pas fréquentiel correspond à la variation de fréquence de l'oscillateur provoquée par la commutation de la plus petite des capacités du réseau de correction (C, 2C, 4C...).

Les bascules monostables 29 et 30 permettent de fournir au diviseur 27 et au compteur 22 des impulsions présentant une largeur suffisante pour assurer leur bon fonctionnement. Elles ne sont nécessaires que si les impulsions UP ou DOWN peuvent présenter des largeurs inférieures au temps de commutation des portes 24 et 25. En effet, de telles impulsions courtes risquent de ne pas être transmises vers le compteur 22.

Il s'agit maintenant de déterminer correctement la valeur N pour que chaque impulsion UP ou DOWN échantillonnée soit effectivement une impulsion modifiant le contenu du compteur 22 dans le bon sens.

On suppose que l'on se trouve à un instant  $t_0$  dans la situation de la figure 4. A l'instant  $t_0$ , le signal Fvco est en avance de phase par rapport au signal Fext mais sa fréquence est inférieure. Si l'on n'agit pas sur le signal Fvco, celui-ci se trouvera dans une situation de retard de phase par rapport au signal Fext au bout d'un nombre prédéterminé d'impulsions. C'est au bout de ce nombre d'impulsions que les impulsions UP ou DOWN indiquent la bonne relation de fréquence entre les signaux Fext et Fvco. Ce nombre est égal au rapport entre l'écart de phase initial et la différence de période des signaux Fvco et Fext. Idéalement, le nombre N est égal à ce rapport. En pratique, le nombre N est choisi supérieur au rapport entre la fréquence nominale du signal Fext et le pas fréquentiel susmentionné.

Etant donné que la valeur du compteur 22 est modifiée à chaque N impulsions UP ou DOWN, même si les signaux Fext et Fvco sont synchronisés, il apparaît une ondulation résiduelle de la fréquence du signal Fvco de trois pas fréquentiels autour de la fréquence du signal Fext. Cette ondulation résiduelle est réduite à deux pas fréquentiels en doublant la valeur de N. Toutefois, en doublant la valeur de N, on réduit la rapidité de synchronisation. Pour réaliser un bon compromis entre la rapidité et la précision, le diviseur 27 est choisi programmable et initialement programmé à la valeur N. Un dispositif de détection de synchronisation classique, par exemple, provoquera ensuite une reprogrammation du diviseur à la valeur 2N.

La figure 6 représente l'allure de la réponse du signal Fvco à un échelon de fréquence du signal Fext. Avant un instant  $t_0$ , la fréquence des signaux Fext et Fvco est à une valeur initiale. A l'instant  $t_0$ , la fréquence du signal Fext prend une nouvelle valeur supérieu-

re. Alors, la fréquence du signal Fvco tend toujours dans le bon sens par échelons vers la nouvelle valeur.

Dans le cas d'un glissement de phase, la fréquence du signal Fvco s'écarte au plus d'un pas fréquentiel de la fréquence initiale.

La boucle à verrouillage de fréquence selon l'invention se comporte de manière beaucoup plus stable que la boucle à verrouillage de phase classique de la figure 1 et elle tend continûment vers une synchronisation en fréquence quelle que soit la perturbation ou la situation au démarrage de la boucle.

La boucle à verrouillage de fréquence selon l'invention peut avantageusement être utilisée dans un téléviseur pour asservir la fréquence centrale d'un filtre de traitement du signal de chrominance (par exemple du filtre en cloche selon la norme SECAM). Ce genre de filtre doit être actif entre les retours trame et on peut envisager d'ajuster finement sa fréquence lors des retours trame. Pour cela, la fréquence du filtre est ajustée par un réseau de capacités de correction (C, 2C, 4C...) servant également à corriger la fréquence de l'oscillateur commandé de la boucle à verrouillage de fréquence. A chaque retour trame, la boucle à verrouillage de fréquence est activée et alimentée avec un signal Fext ayant pour fréquence la fréquence centrale que doit avoir le filtre (par exemple la sous-porteuse de chrominance SECAM de 4,250 MHz). Ainsi, pendant le retour trame, le réseau de capacités qui détermine la fréquence du filtre est convenablement ajusté pour que l'oscillateur commandé oscille à une fréquence la plus proche possible de celle du signal Fext. En pratique, dans une telle utilisation, on désire obtenir une précision de la fréquence du filtre de l'ordre de plus ou moins 7 kHz. Par conséquent, on choisit un pas fréquentiel de 7 kHz et un taux de division N de l'ordre de 700.

La présente invention est susceptible de nombreuses variantes et modifications qui apparaîtront à l'homme de l'art. Notamment, les diverses fonctions des circuits logiques décrits peuvent être réalisées de nombreuses autres manières. Par exemple, le diviseur 27 peut être réalisé à partir d'un décompteur dont l'état est réinitialisé à N à chaque N<sup>ème</sup> impulsion ; les bascules monostables 29 et 30 sont alors de préférence présentes.

La présente invention a été décrite avec des circuits numériques mais si l'on ne souhaite pas intégrer tous les éléments, les fonctions des circuits numériques peuvent être réalisées par des circuits analogiques. Par exemple, le compteur 22 et l'oscillateur 20 peuvent être directement remplacés par une pompe de charge sans cellule de correction (R, C2), pilotant un oscillateur commandé en tension.

De même, le diviseur 27 peut être remplacé par une capacité de faible valeur (donc intégrable) qui est chargée d'une valeur constante à chaque impulsion UP ou DOWN. Lorsque la tension aux bornes de la capacité dépasse un seuil, l'impulsion UP ou DOWN

survenant alors est transmise au compteur 22 et la capacité est en même temps déchargée.

## Revendications

1. Boucle à verrouillage de fréquence comprenant :
  - un comparateur de phase (10) recevant en entrée des premier (Fext) et deuxième (Fvco) signaux périodiques et ayant une première sortie (UP) délivrant des impulsions si le premier signal (Fext) est en avance de phase par rapport au deuxième (Fvco) et une deuxième sortie (DOWN) délivrant des impulsions dans le cas inverse ;
  - un oscillateur (20) délivrant le deuxième signal et commandé en fréquence par un circuit de traitement desdites impulsions ; caractérisée en ce que le circuit de traitement des impulsions comprend :
    - un compteur (22) dont l'état fixe la fréquence de l'oscillateur et possédant une entrée d'incrémentement (+1) et une entrée de décrémentement (-1) ; et
    - un circuit d'échantillonnage (24, 25, 27, 32) pour transmettre chaque N<sup>ème</sup> desdites impulsions (N>1), soit vers l'entrée d'incrémentement si cette impulsion survient sur l'une des première et deuxième sorties du comparateur (10), soit vers l'entrée de décrémentement si cette impulsion survient sur l'autre des première et deuxième sorties du comparateur.
2. Boucle à verrouillage de fréquence selon la revendication 1, caractérisée en ce que la fréquence de l'oscillateur (20) est variable par pas fréquentiels et en ce que le nombre N est choisi supérieur au rapport entre la fréquence nominale du premier signal (Fext) et un pas fréquentiel.
3. Boucle à verrouillage de fréquence selon la revendication 1, caractérisée en ce qu'elle comprend un diviseur (27) par N recevant en entrée lesdites impulsions (UP, DOWN) et commandant par sa sortie deux portes logiques (24, 25) dont les sorties sont respectivement reliées aux entrées d'incrémentement et de décrémentement du compteur (22) et recevant respectivement les impulsions de l'une et l'autre des première et deuxième sorties du comparateur (10).
4. Boucle à verrouillage de fréquence selon la revendication 3, caractérisée en ce que lesdites portes (24, 25) sont reliées au comparateur de phase (10) par l'intermédiaire de bascules monostables (29, 30).

5. Boucle à verrouillage de fréquence selon la revendication 3, caractérisée en ce que le diviseur (27) est un diviseur par un nombre N programmable.

6. Boucle à verrouillage de fréquence selon la revendication 1, caractérisée en ce que l'oscillateur (20) est un oscillateur à réseau de capacités (C, 2C, 4C...) dont chacune est mise hors ou en circuit par l'état d'un bit du compteur (22).

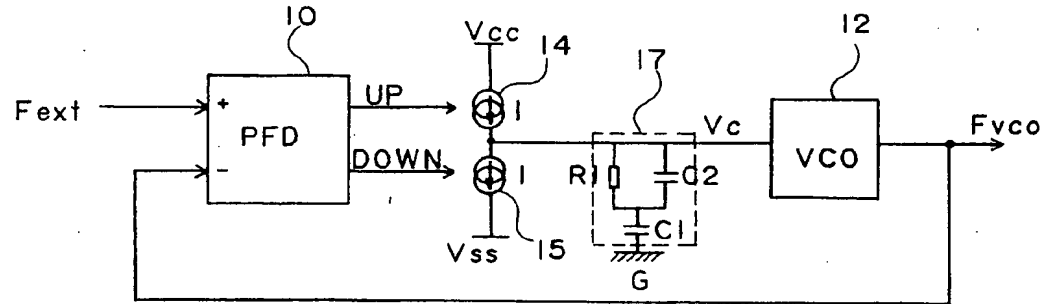


Fig 1

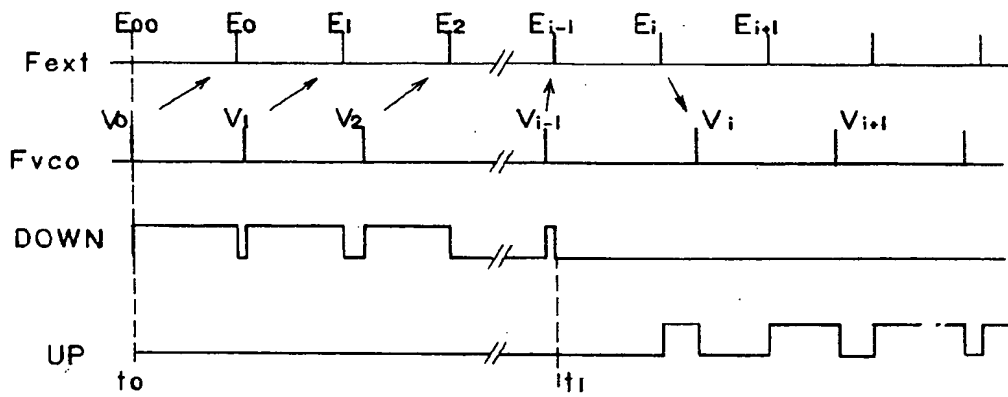


Fig 2

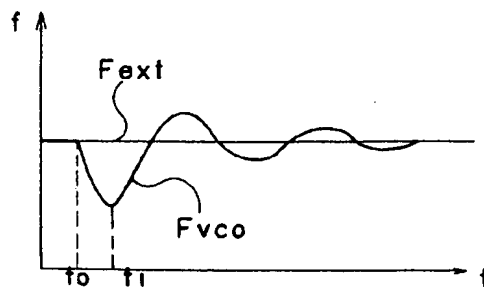


Fig 3A

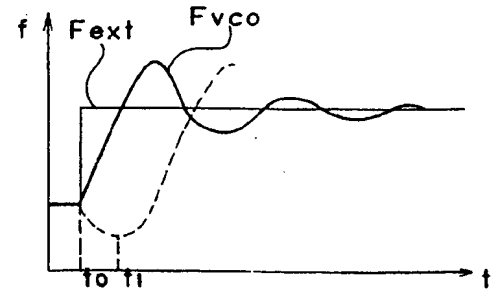


Fig 3B

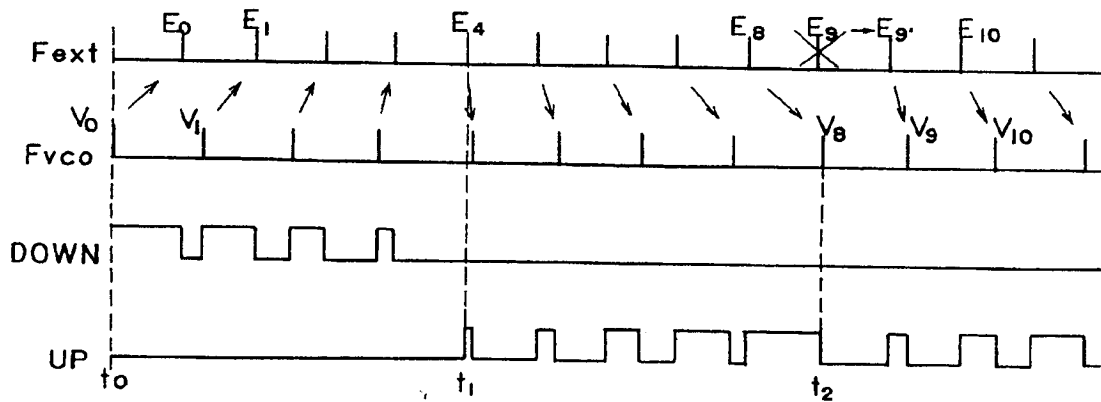


Fig 4

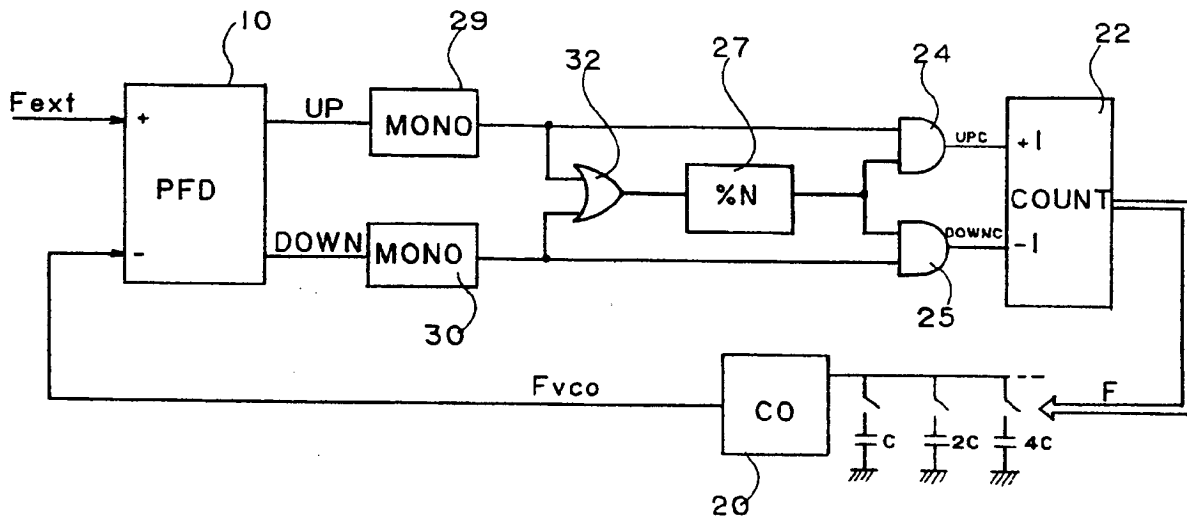


Fig 5

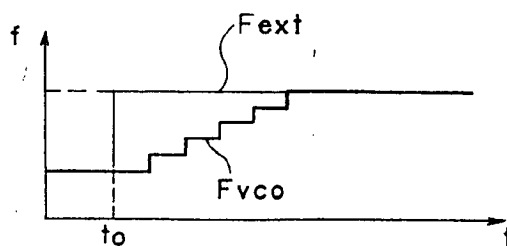


Fig 6





Office européen  
des brevets

# RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 93 42 0134

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
A	US-A-4 577 163 (CULP) * colonne 2, ligne 54 - colonne 4, ligne 15; figures 2,3 *	1,2	H03L7/089 H03L7/099
A	FR-A-2 564 664 (ADAM PIERRE ET AL.) * page 3, ligne 32 - page 10, ligne 2; figures 3,4 *	1,2	
A	TRANSACTIONS OF THE INSTITUTE OF ELECTRONICS AND COMMUNICATION ENGINEERS OF JAPAN, SECTION E vol. E63, no. 5, Mai 1980, TOKYO JP pages 367 - 368 TAIICHIRO KURITA ET AL. 'A Digital Phase-Locked Loop with AND Filter' * le document en entier *	1,2	
A	US-A-5 075 640 (MIYAZAWA) * colonne 9, ligne 42 - colonne 13, ligne 27; figures 5-10,12,19,20 *	1,2	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
			H03L
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche <b>LA HAYE</b>		Date d'achèvement de la recherche <b>11 JUIN 1993</b>	Examinateur <b>BALBINOT H.</b>
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite F : document intercalaire			

EPO FORM 1503 01.82 (P0402)

**THIS PAGE BLANK (USPTO)**